

# (19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) 。 Int. Cl. 7  
H01J 1/30

(11) 공개번호 특2002 - 0031819  
(43) 공개일자 2002년05월03일

(21) 출원번호 10 - 2000 - 0062556  
(22) 출원일자 2000년10월24일

(71) 출원인 오리온전기 주식회사  
김영남  
경북 구미시 공단1동 165

(72) 발명자 정호련  
경기도수원시팔달구우만동300주공아파트402 - 809  
이두열  
경기도수원시팔달구우만동29우만2차아파트204 - 505  
한석윤  
경기도수원시팔달구인계동163선경아파트2 - 402

(74) 대리인 이후동  
이정훈

심사청구 : 있음

## (54) 전계방출표시소자의 제조방법

### 요약

본 발명은 전계방출표시소자의 제조방법에 관한 것으로서, 특히 사진식각 공정으로 형성된 에미터홀을 구비하는 스크린 막 패턴을 형성하고 전면에 CNT를 스크린 프린트로 도포한 후 CMP 방법으로 상부의 CNT를 제거하여 에미터홀을 메운 부분만 CNT가 남도록 한 후 CNT 표면 처리를 실시하여 에미터 팁을 형성하였으므로, 게이트전극도 용이하게 형성할 수 있고, 단위화소도 미세하게 형성할 수 있어 소자의 전류 제어가 용이하고 화질이 개선되어 공정수율 및 소자동작의 신뢰성을 향상시킬 수 있다.

대표도  
도 2f

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 CNT를 사용하는 FED의 단면도.

도 2a 내지 도 2g는 본 발명의 일실시예에 따른 FED의 제조공정도.

도 3a 내지 도 3g는 본 발명의 다른 실시예에 따른 FED의 제조공정도.

< 도면의 주요 부분에 대한 부호의 설명 >

10,30 : 후면기판 12,32 : 캐소드전극

14 : 접착층 16,44 : CNT

20,50 : 전면기판 22,52 : 애노드전극

24,54 : 형광체 34 : 게이트절연막

36 : 게이트전극 40 : 절연막

42 : 에미터홀 60 : 스크린막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전계방출표시소자(Field Emission Display; 이하 FED라 칭함)의 제조방법에 관한 것으로서, 특히 화학 기계적 연마(chemical mechanical polishing; 이하 CMP라 칭함) 방법으로 미세한 CNT 에미터를 형성하되, 전류 조절을 위한 캐소드전극도 함께 형성하여 화소의 미세화가 가능하고 전류 조절이 용이하여 공정수율 및 소자동작의 신뢰성을 향상시킬 수 있는 FED의 제조방법에 관한 것이다.

박막형 전계 방출소자는 팁의 날카로운 부분에 전계가 집중되는 현상을 이용하여 비교적 낮은 전압을 인가하여 터널효과에 의한 냉전자를 방출시키는 소자로서, 이를 이용하여 형성되는 FED는 CRT의 고선명성과 액정표시장치(liquid crystal display; 이하 LCD라 칭함)의 경박형의 장점을 모두 갖추고 있어 차세대 표시장치로서 주목받고 있다. 특히 FED는 경박형의 제작이 가능할 뿐만 아니라, LCD의 결정적인 단점인 공정수율, 제조단가 및 대형화의 문제점들을 해결할 수 있다.

즉 LCD는 하나의 단위화소라도 불량 발생되면 제품전체가 불량 처리되지만, FED는 하나의 화소 그룹에 그보다 작은 다수개의 에미터 팁들이 형성되어 있어 한 두개의 에미터 팁에 불량 발생하여도 화소 그룹의 동작에는 이상이 없어 제품 전체의 수율이 향상된다.

또한 FED는 LCD에 비해 구조가 간단하고, 소비전력이 작아 단가가 낮아 휴대형 표시장치에 적합한 몇 가지 이점이 있다.

초기의 FED는 공동에 의해 외부로 노출되어 있으며, 날카로운 부분을 갖는 원뿔형 에미터(emitter) 팁과, 상기 에미터의 양측에 정렬되어 있어 전류량을 조절하는 게이트와, 상기 게이트와 일정간격 이격되어 형광판이 부착되어 있는 애노드전극으로 구성되어 각각이 CRT의 캐소드, 그리드 및 애노드와 대응된다.

상기의 FED는 소정전압, 예를 들어 500~10kV 정도의 전압이 인가되면 에미터 팁의 꼭지부에 집중된 전계에 의해 전자가 방출되며, 상기의 방출된 전자는 양의 전압이 인가된 애노드에 의해 인도되어 애노드에 도포되어있는 형광물질을 발광시키고, 상기 게이트는 전자의 방향 및 양을 조절한다.

그러나 상기와 같은 원뿔형 캐소드를 구비하는 초기의 FED는 방출된 전자들중의 일부가 게이트로 유도되어 게이트 전류가 흘러 전자의 제어가 어렵고, 캐소드와 애노드의 사이에서 전자와 충돌하여 형성된 양이온이 캐소드와 충돌하여 소자가 파괴되므로, 이를 방지하기 위하여 소자의 내부를 고진공 상태로 유지하여야하는데 이러한 고진공 유지가 어렵고, 날카로운 원뿔형 캐소드의 균일한 제작이 어려운 등의 문제점이 있다.

또한 애노드 및 게이트 전극에 고전압이 필요하므로 휴대용 표시장치에의 적용이 어려운 문제점이 있다.

이러한 문제점들을 해결하기 위하여 박막형 전계 방출소자가 제안되어 있는데, 기판 도체 상에 서로 절연되어 있는 세개의 도전박막을 순차적으로 설치하고, 세개의 도전박막의 일부가 공동을 통하여 돌출 되도록 형성한 후, 그 상측에 외부 전극을 설치하여 애노드의 구실을 하는 구조를 제안하였다.

이러한 구조의 박막형 FED는 중앙에 위치하는 도전박막인 캐소드에 음의 전압을 인가하고, 상기 캐소드의 양측에 위치하는 게이트 도전박막에는 교류전압을 인가하여 전자를 방출시키고, 상기 기판 도체에는 강한 음의 전압을 인가하여 상기 캐소드로부터 방출되는 전자가 외부 전극인 애노드를 때리게 한다.

상기의 종래 기술에 따른 박막형 FED로서, 제조방법 및 재료선택이 용이하여 실리콘을 기판 및 전극으로 사용하는 소자가 주목받고 있는데, 이러한 실리콘소자는 실리콘기판상에 다결정실리콘으로된 캐소드 팁을 질화막 패턴을 식각 마스크로 사용한 습식식각방법으로 형성하고, 전면에 산화막과 금속막을 도포하고, 상기의 질화막 패턴을 리프트 오프(lift off) 방법으로 제거하여 상기의 캐소드와 절연된 게이트를 구성하는 방법을 사용하였다.

상기와 같은 종래 기술에 따른 실리콘 재료를 사용한 리프트 오프 공정에 의한 FED의 제조방법은 팁과 게이트간의 단락이 발생하기 쉽고, 팁이 손상되며, 공정의 재현성 및 균일성이 떨어져 공정수율 및 소자동작의 신뢰성을 떨어뜨리는 등의 문제점이 있다.

상기 문제를 해결하기 위하여, 다이아몬드나 유사다이아몬드(Diamond-Like Carbon; DLC) 물질이 화학적 안정성, 낮은 전자 친화도, 이온에 대한 높은 저항성 등의 특성을 가진 것을 이용하여 이를 전계방출소자에 적용하여 팁의 상부에 코팅하는 방법을 사용하거나, 전계방출 특성이 특히 우수한 CNT를 에미터로 이용하는 방법 등이 연구되고 있다.

도 1은 종래 기술에 따른 FED의 단면도로서, CNT를 에미터로 사용하는 FED의 예이다.

먼저, 실리콘이나 유리등의 재질로된 후면기판(10)상에 캐소드전극(12)이 형성되어 있고, 상기 캐소드전극(12) 상에 에미터가 되는 접착층(14)과 CNT(16)가 형성되어있으며, 그 상부에는 전면기판(20)상에 애노드전극(22)과 형광체(24)가 형성되어있다.

상기와 같은 종래 기술에 따른 FED에 사용되는 CNT는 우수한 전계방출 특성을 가지나, CNT가 스크린 프린팅 방법으로 형성되므로 단위화소가 약 100 $\mu$ m 정도로 크게 형성되어 미세화가 어려워 소자의 신뢰성 향상에 한계가 있으며, 게이트가 없는 구조이므로 전류의 조절이 불가능한 등의 문제점이 있다.

#### 발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, 본 발명의 목적은 CMP 방법으로 게이트전극을 구비하는 미세한 CNT 에미터를 구비하여 단위화소의 크기를 감소시키고 전류의 조절을 용이하게 하여 공정수율 및 소자동작의 신뢰성을 향상시킬 수 있는 FED의 제조방법을 제공함에 있다.

#### 발명의 구성 및 작용

이상의 목적을 달성하기 위해 본 발명에 따른 전계방출 표시소자의 특징은,

후면기판상에 캐소드전극을 형성하는 공정과,

상기 구조상에 에미터홀을 구비하는 스크린막 패턴을 형성하는 공정과,

상기 구조의 전표면에 CNT를 도포하여 에미터홀을 메우는 공정과,

상기 CNT의 상부를 제거하여 상기 에미터홀을 메운 CNT만 남게 하는 공정과,

상기 남아 있는 CNT의 표면을 CNT 표면 처리하여 에미터 팁을 형성하는 공정을 구비함에 있다.

또한 상기 후면기판은 실리콘 웨이퍼 또는 유리 재질로 형성되며, 상기 스크린막을 감광막이나 절연막으로 형성하고, 상기 스크린막이 감광막인 경우 노광 및 현상 공정으로 스크린막 패턴을 형성하며, 상기 스크린막이 절연막인 경우에는 산화막이나 질화막으로 형성하되, 전면 도포 및 사진 식각 방법으로 스크린막 패턴을 형성한다.

또한 상기 CNT 도포 공정을 스크린 프린트 방법으로 실시하며, 상기 CNT의 상부 식각 공정을 CMP 방법으로 실시하며, 상기 전면기판은 유리, 석영 또는 플라스틱으로 형성하며, 상기 CNT 표면처리전에 스크린막 패턴을 제거하고 CNT 표면처리를 실시한다.

또한 본 발명의 다른 특징은,

후면기판상에 캐소드전극을 형성하는 공정과,

상기 구조의 전표면에 게이트절연막과 게이트금속층을 형성하는 공정과,

상기 게이트금속층과 게이트절연막을 패턴닝하여 캐소드전극을 노출시키는 게이트전극을 형성하는 공정과,

상기 구조의 전표면에 절연막을 형성하는 공정과,

상기 절연막에 에미터홀을 형성하는 공정과,

상기 구조의 전표면에 CNT를 도포하여 에미터홀을 메우는 공정과,

상기 CNT의 상부를 제거하여 상기 에미터홀을 메운 CNT 만 남게 하는 공정과,

상기 남아 있는 CNT의 상부 표면을 CNT 표면 처리하여 에미터 팁을 형성하는 공정을 구비함에 있다.

또한 상기 게이트절연막을 산화막이나 질화막으로 형성한다.

이하, 본 발명에 따른 FED의 제조방법에 관하여 첨부 도면을 참조하여 상세히 설명한다.

도 2a 내지 도 2g는 본 발명의 일실시예에 따른 FED의 제조 공정도이다.

먼저, 후면기판(30)상에 캐소드전극(32)을 형성하고, (도 2a 참조) 상기 구조의 전표면에 스크린막(60)을 형성하고, 패턴닝하여 에미터영역으로 예정된 부분의 스크린막(60)을 제거하여 캐소드전극(32)을 노출시키는 에미터홀(42)을 형성한다. 여기서 상기 스크린막(60)은 감광막이나 산화막 또는 질화막등의 절연막으로 형성하며, 감광막인 경우에는 노광과 현상으로 패턴을 형성하고 절연막인 경우에는 사진식각 공정으로 패턴을 형성할 수 있다. (도 2b 참조).

그다음 상기 구조의 전표면에 스크린 프린트 방법으로 CNT(44)를 도포하여 에미터홀(42)을 메우고 평탄화시킨 후, (도 2c 참조) 상기 스크린막(60) 패턴을 식각 정지층으로 하여 CMP 방법으로 상기 CNT(44)를 식각하여 상기 에미터홀(42)을 메운 CNT(44)만 남게 한다. (도 2d 참조)

그후, 상기 스크린막(60) 패턴을 제거하고, (도 2e 참조) CNT 표면 처리를 실시하여 CNT(44)로된 에미터를 형성하여 후면기판(30)을 완성하고, (도 2f 참조) 전면기판(50)에 애노드전극(52)과 형광체(54)를 형성하고, 이를 상기 후면기판(30)과 봉합시키고, 봉합된 내부를 진공으로 유지시켜 실링하여 FED를 완성한다. (도 2g 참조).

상기에서 도 2d의 공정후 스크린막(60) 패턴을 제거하지 않고 CNT 표면 처리를 실시하여 에미터 팁을 형성할 수도 있으며, 단위화소를 10 $\mu$ m 정도로 미세하게 형성할 수도 있으며, 후면 기판이 아닌 형광체가 형성된 전면기판의 미세화 정도에 따라 화소의 미세화가 결정된다.

도 3a 내지 도 3g는 본 발명의 다른 실시예에 따른 FED의 제조 공정도이다.

먼저, 후면기판(30)상에 캐소드전극(32)을 형성하고, (도 3a 참조) 상기 구조의 전표면에 게이트절연막(34)과 게이트금속층을 도포한 후, 사진식각 공정으로 패터닝하여 상기 캐소드전극(32)을 노출시키는 게이트전극(36)을 형성한다. 여기서 상기 게이트절연막(34)은 산화막이나 질화막 재질로 형성한다. (도 3b 참조).

그다음 상기 구조의 전표면에 단락을 방지하기 위한 절연막(40)을 산화막이나 질화막 재질로 도포한 후, 사진 식각 공정으로 에미터 영역으로 예정되어있는 부분의 절연막(40)을 제거하여 캐소드전극(32)을 노출시키는 에미터홀(42)을 형성한 후, (도 3c 참조) 상기 구조의 전표면에 스크린 프린트 방법으로 CNT(44)를 도포하여 에미터홀(42)을 메우고 평탄화시킨다. (도 3d 참조).

그후 상기 절연막(40) 패턴을 식각 정지층으로 하여 CMP 방법으로 상기 CNT(44)를 식각하여 상기 에미터홀(42)을 메운 CNT(44)만 남게 하고, (도 3e 참조) CNT 표면처리를 실시하여 상기 남아 있는 CNT(44)의 상부 표면이 돌출되도록하여 에미터 팁을 형성한다. (도 3f 참조).

그다음 상기 절연막(40)을 제거하여 후면기판(30) 공정을 완료하고, 투명재질의 전면기판(50)에 애노드전극(52)과 형광체(54)를 형성하고, 이를 상기 후면기판(30)과 봉합시켜 FED를 완성한다. (도 3g 참조).

상기에서 후면기판(30)은 실리콘이나 유리의 재질로 형성하고, 캐소드전극(32)은 저저항의 금속, 예를 들어 Cr등으로 형성하며, 전면기판(50)은 유리, 석영 또는 플라스틱 등의 투명재질로 형성한다.

#### 발명의 효과

이상에서 설명한 바와 같이 본 발명에 따른 FED의 제조방법은, 사진식각 공정으로 형성된 에미터홀을 구비하는 스크린막 패턴을 형성하고 전면에 CNT를 스크린 프린트로 도포한 후 CMP 방법으로 상부의 CNT를 제거하여 에미터홀을 메운 부분만 CNT가 남도록 한 후 CNT 표면 처리를 실시하여 에미터 팁을 형성하였으므로, 게이트전극도 용이하게 형성할 수 있고, 단위화소도 미세하게 형성할 수 있어 소자의 전류 제어가 용이하고 화질이 개선되어 공정수율 및 소자동작의 신뢰성을 향상시킬 수 있는 이점이 있다.

#### (57) 청구의 범위

##### 청구항 1.

후면기판상에 캐소드전극을 형성하는 공정과,

상기 구조상에 에미터홀을 구비하는 스크린막 패턴을 형성하는 공정과,

상기 구조의 전표면에 CNT를 도포하여 에미터홀을 메우는 공정과,

상기 CNT의 상부를 제거하여 상기 에미터홀을 메운 CNT만 남게 하는 공정과,

상기 남아 있는 CNT의 표면을 CNT 표면 처리하여 에미터 팁을 형성하는 공정을 구비하는 FED의 제조방법.

청구항 2.

제 1 항에 있어서,

상기 후면기판은 실리콘 웨이퍼 또는 유리 재질로 형성하는 것을 특징으로 하는 FED의 제조방법.

청구항 3.

제 1 항에 있어서,

상기 스크린막을 감광막이나 절연막을 형성하는 것을 특징으로 하는 FED의 제조방법.

청구항 4.

제 3 항에 있어서,

상기 스크린막이 감광막인 경우 노광 및 현상 공정으로 스크린막 패턴을 형성하는 것을 특징으로 하는 FED의 제조방법.

청구항 5.

제 1 항에 있어서,

상기 스크린막이 절연막인 경우 산화막이나 질화막으로 형성하되, 전면 도포 및 사진 식각 방법으로 스크린막 패턴을 형성하는 것을 특징으로 하는 FED의 제조방법.

청구항 6.

제 1 항에 있어서,

상기 CNT 도포 공정을 스크린 프린트 방법으로 실시하는 것을 특징으로 하는 FED의 제조방법.

청구항 7.

제 1 항에 있어서,

상기 CNT의 상부 식각 공정을 CMP 방법으로 실시하는 것을 특징으로 하는 FED의 제조방법.

청구항 8.

제 1 항에 있어서,

상기 전면기판은 유리, 석영 및 플라스틱으로 이루어지는 군에서 임의로 선택되는 하나의 재질로 형성하는 것을 특징으로 하는 전계방출 표시소자.

청구항 9.

제 1 항에 있어서,

상기 CNT 표면처리전에 스크린막 패턴을 제거하고 CNT 표면처리를 실시하는 것을 특징으로 하는 FED의 제조방법.

청구항 10.

후면기판상에 캐소드전극을 형성하는 공정과,

상기 구조의 전표면에 게이트절연막과 게이트금속층을 형성하는 공정과,

상기 게이트금속층과 게이트절연막을 패턴닝하여 캐소드전극을 노출시키는 게이트전극을 형성하는 공정과,

상기 구조의 전표면에 절연막을 형성하는 공정과,

상기 절연막에 에미터홀을 형성하는 공정과,

상기 구조의 전표면에 CNT를 도포하여 에미터홀을 메우는 공정과,

상기 CNT의 상부를 제거하여 상기 에미터홀을 메운 CNT 만 남게 하는 공정과,

상기 남아 있는 CNT의 상부 표면을 CNT 표면 처리하여 에미터 팁을 형성하는 공정을 구비하는 FED의 제조방법.

청구항 11.

제 10 항에 있어서,

상기 후면기판은 실리콘 웨이퍼 또는 유리 재질로 형성되어 있는 것을 특징으로 하는 FED의 제조방법.

청구항 12.

제 10 항에 있어서,

상기 게이트절연막을 산화막이나 질화막으로 형성하는 것을 특징으로 하는 FED의 제조방법.

청구항 13.

제 10 항에 있어서,

상기 CNT 도포 공정을 스크린 프린트 방법으로 실시하는 것을 특징으로 하는 FED의 제조방법.

청구항 14.

제 10 항에 있어서,

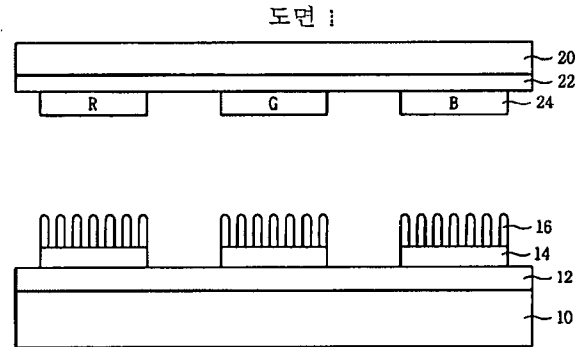
상기 CNT의 상부 식각 공정을 CMP 방법으로 실시하는 것을 특징으로 하는 FED의 제조방법.

청구항 15.

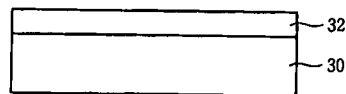
제 10 항에 있어서,

상기 전면기판은 유리, 석영 및 플라스틱으로 이루어지는 군에서 임의로 선택되는 하나의 재질로 형성되는 것을 특징으로 하는 전계방출 표시소자의 제조방법.

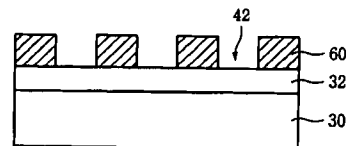
도면



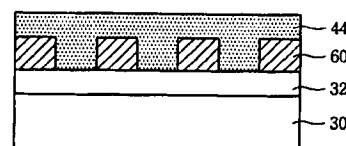
도면 2a



도면 2b

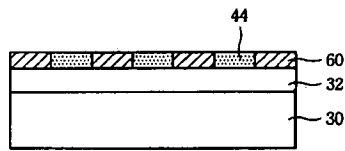


도면 2c

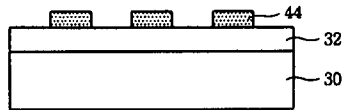




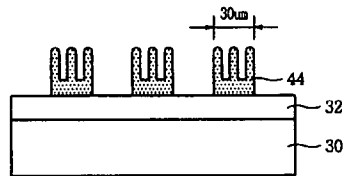
도면 2d



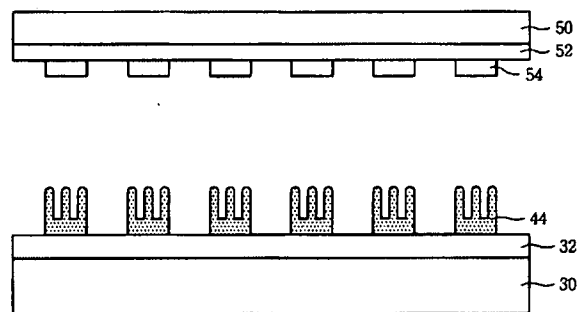
도면 2e



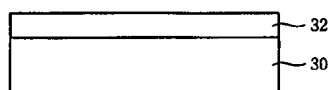
도면 2f



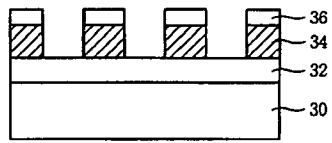
도면 2g



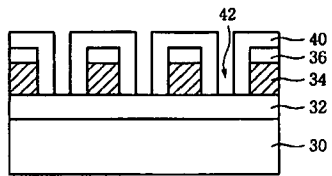
도면 3a



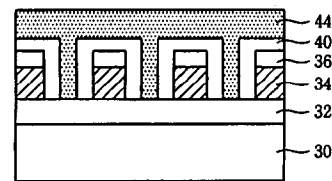
도면 3b



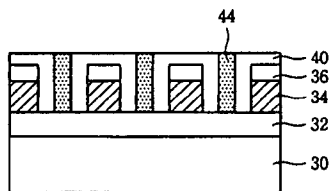
도면 3c



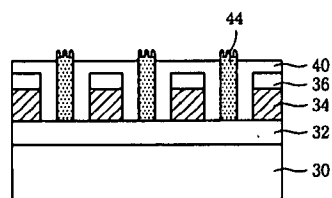
도면 3d



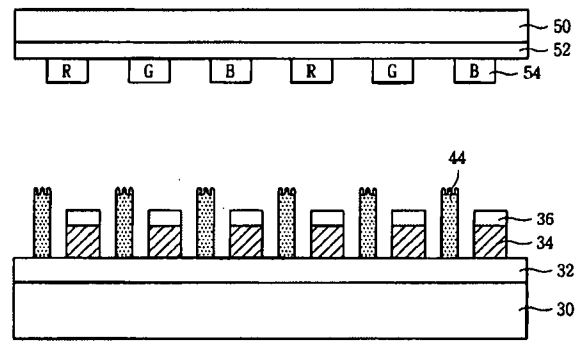
도면 3e



도면 3f



도면 3g



DERWENT-ACC-NO: 2002-653741

DERWENT-WEEK: 200270

COPYRIGHT 2007 DERWENT INFORMATION LTD

TITLE: Method for fabricating fed device

INVENTOR: HAN, S Y; JUNG, H R ; LEE, D Y

PATENT-ASSIGNEE: ORION ELECTRIC CO LTD[ORION]

PRIORITY-DATA: 2000KR-0062556 (October 24, 2000)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
KR 2002031819	A May 3, 2002	N/A	001	H01J 001/30

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
KR2002031819A	N/A	2000KR-0062556	October 24, 2000

INT-CL (IPC): H01J001/30

ABSTRACTED-PUB-NO: KR2002031819A

BASIC-ABSTRACT:

NOVELTY - A method for fabricating an FED( Field Emission Display) device is provided to form a fine CNT(Carbon Nano Tube) emitter by using a CMP(Chemical Mechanical Polishing) method.

DETAILED DESCRIPTION - A cathode electrode(32) is formed on a rear substrate(30). A screen layer is formed on an overall surface of the above structure. An emitter hole is formed by removing partially the screen layer. A CNT(44) is applied on the overall surface of the above structure by using a screen print method. The emitter hole is buried by the CNT(44). The CNT(44) is etched by using the screen layer pattern as an etch stop layer. The screen layer pattern is removed. An emitter is formed by using the CNT(44). An anode

electrode(52) and a fluorescent material(54) are formed on a front substrate(50). An FED is completed by bonding the front substrate(50) and the rear substrate(30).

CHOSEN-DRAWING: Dwg.1/10

TITLE-TERMS: METHOD FABRICATE FEED DEVICE

DERWENT-CLASS: L03 U12

CPI-CODES: L03-G05D;

EPI-CODES: U12-A01;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C2002-183651